

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-266567

(P2001-266567A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル (参考)

G 1 1 C 11/15

G 1 1 C 11/15

5 E 0 4 9

H 0 1 F 10/06

H 0 1 F 10/06

5 F 0 8 3

10/26

10/26

10/32

10/32

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

審査請求 未請求 請求項の数22 O L (全 12 頁) 最終頁に続く

(21) 出願番号

特願2000-75168(P2000-75168)

(22) 出願日

平成12年3月17日 (2000.3.17)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 猪俣 浩一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 中島 健太郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100083161

弁理士 外川 英明

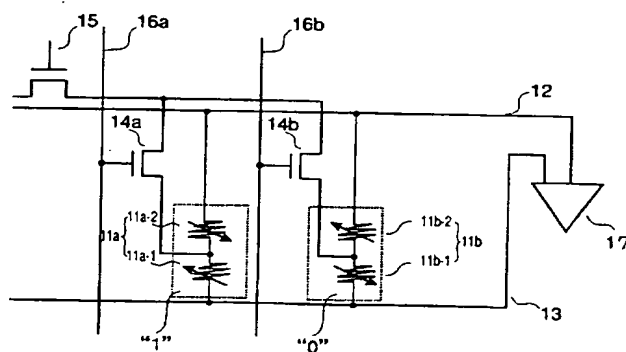
最終頁に続く

(54) 【発明の名称】 磁気メモリ装置

(57) 【要約】

【課題】 大きな信号電圧と大きなS/Nをもち、大容量化に寄与する新しい磁気メモリ装置の提供。

【解決手段】 第1磁化固着膜と、第1磁化固着膜と近接配置された第1トンネル絶縁膜と、第1トンネル絶縁膜を介して第1磁化固着膜と対向配置され外部磁界により磁化の向きが変わる第1磁性層を備える第1トンネル接合11a-1と、第1強磁性層と反強磁性結合して外部磁界によって磁化の向きが変わる第2磁性層、第2トンネル絶縁膜と、第2トンネル絶縁膜を介して第2磁性層に対向配置された第2磁化固着膜を備える第2トンネル接合11a-2を備え、常に第1トンネル接合と第2トンネル接合の一方が低抵抗、他方が高抵抗を維持する。読み出し電流は、セルトランジスタ16aを介して、第1トンネル接合と第2トンネル接合に分流され、その電流差あるいは負荷電圧の差をセンスアンプ17によって差動検出できる。



## 【特許請求の範囲】

【請求項1】磁化方向が固定された第1強磁性磁化固着膜と、

前記第1強磁性磁化固着膜と近接配置された第1トンネル絶縁膜と、

前記第1トンネル絶縁膜を介して前記第1強磁性磁化固着膜と対向配置され、外部磁界により磁化の向きが変わる第1磁性層、前記第1強磁性層と反強磁性結合し、前記外部磁界により磁化の向きが変わる第2磁性層、及び前記第1及び第2強磁性層間に配置され前記第1及び第2磁性層を反強磁性結合させる非磁性導電層を備えた磁気記憶膜と、

前記磁気記憶膜に近接配置された第2トンネル絶縁膜と、

前記第2トンネル絶縁膜を介して前記第2磁性層に対向配置された第2強磁性磁化固着膜とを備えるトンネル接合素子、

前記磁気記憶膜に電気接続する第1配線、

前記第1強磁性磁化固着膜に電気接続する第2配線、及び前記第2強磁性磁化固着膜に電気接続する第3配線を備えることを特徴とする磁気メモリ装置。

【請求項2】前記磁気記憶膜と前記第1強磁性磁化固着膜との間を流れる第1トンネル電流と、前記磁気記憶膜と前記第2強磁性磁化固着膜との間を流れる第2トンネル電流との電流差、あるいは負荷電圧差を差動方式で検出することを特徴とする請求項1記載の磁気メモリ装置。

【請求項3】磁化方向が固定された第1強磁性磁化固着膜と、

前記第1磁性膜と近接配置された第1トンネル絶縁膜と、

前記第1トンネル絶縁膜を介して前記第1強磁性磁化固着膜と対向配置され、外部磁界により磁化の向きが変わる第1磁性層、前記第1磁性層と反強磁性結合し、前記外部磁界により磁化の向きが変わる第2磁性層、及び前記第1及び第2磁性層間に配置され前記第1及び第2磁性層を反強磁性結合させる非磁性導電層を備える磁気記憶膜と、

前記磁気記憶膜に近接配置された第2トンネル絶縁膜と、

前記第2トンネル絶縁膜を介して前記第2磁性層に対向配置された第2強磁性磁化固着膜とを備えるトンネル接合素子を具備し、

前記磁気記憶膜と前記第1強磁性磁化固着膜との間を流れる第1トンネル電流と、前記磁気記憶膜と前記第2強磁性磁化固着膜との間を流れる第2トンネル電流の電流差、あるいは負荷電圧差を差動方式で検出することを特徴とする磁気メモリ装置。

【請求項4】前記磁気記憶膜に電気接続する第1配線、

前記第1強磁性磁化固着膜に電気接続する第2配線、及

び前記第2強磁性磁化固着膜に電気接続する第3配線を備えることを特徴とする請求項3記載の磁気メモリ装置。

【請求項5】前記第1強磁性磁化固着膜、前記第1トンネル接合膜、前記第1磁性層、前記非磁性導電層、前記第2磁性層、前記第2トンネル接合膜、及び前記第2強磁性磁化固着膜は積層形成されていることを特徴とする請求項1及び請求項3のいずれかに記載の磁気メモリ装置。

【請求項6】前記磁気記憶膜は前記第1配線を介してトランジスタのソース・ドレイン電極の一方に接続されていることを特徴とする請求項1及び4のいずれかに記載の磁気メモリ装置。

【請求項7】前記第2及び第3配線はセンスアンプに接続されていることを特徴とする請求項1及び4のいずれかに記載の磁気メモリ装置。

【請求項8】前記トンネル接合素子及び前記トランジスタからなるメモリセルを行方向及び列方向にアレイ状に備えることを特徴とする請求項6に記載の磁気メモリ装置。

【請求項9】前記列方向に伸びる前記第1配線及び前記行方向に伸びる前記第2及び第3配線を複数本備えることを特徴とする請求項8に記載の磁気メモリ装置。

【請求項10】前記列方向に並ぶ複数の前記セルトランジスタのゲート電極は一本の配線に共通接続されていることを特徴とする請求項9記載の磁気メモリ装置。

【請求項11】前記行方向に並ぶ複数の前記トンネル接合素子の第1の強磁性磁化固着膜は前記第2配線に共通接続され、第2の強磁性磁化固着膜は前記第3配線に共通接続されていることを特徴とする請求項9記載の磁気メモリ装置。

【請求項12】前記第2及び第3配線は前記トンネル接合素子を上下から挟み、互いに交差する磁気書き込み用配線を2本備えることを特徴とする請求項5記載の磁気メモリ装置。

【請求項13】前記第2及び第3配線のいずれかとセンスアンプとの間にスイッチを備え、前記スイッチと接続される配線は別の配線と交差する磁気書き込み用配線を備えることを特徴とする請求項7記載の磁気メモリ装置。

【請求項14】前記第1強磁性磁化固着膜及び前記第2強磁性磁化固着膜のうち基板主面より離れて形成された膜と同一層上に形成され、前記第1配線と前記磁気記憶膜を電氣的に接続する電極膜を備えることを特徴とする請求項1及び4のいずれかに記載の磁気メモリ装置。

【請求項15】前記磁気記憶膜は前記第1配線を介してダイオードに接続されていることを特徴とする請求項1及び4記載のいずれかに記載の磁気メモリ装置。

【請求項16】前記非磁性導電層は、Cu、Ru、Cr、Re、Irから選ばれる金属、あるいはCu、R

u, Cr, Re, Irを50atom%以上含む合金からなることを特徴とする請求項1及び3のいずれかに記載の磁気メモリ装置。

【請求項17】前記第1及び第2の強磁性層の厚さが互いに異なることを特徴とする請求項1及び請求項3に記載の磁気メモリ装置。

【請求項18】前記第1及び第2の強磁性層は、互いに磁気モーメントの異なる磁性材料からなることを特徴とする請求項1及び請求項3に記載の磁気メモリ装置。

【請求項19】磁化方向が固定された第1強磁性磁化固着膜、前記第1強磁性磁化固着膜と近接配置された第1トンネル絶縁膜、及び前記第1トンネル絶縁膜を介して前記第1強磁性磁化固着膜と対向配置され外部磁界によって磁化の向きが変わる第1磁性膜を備え、前記第1磁性膜の磁化の向きが前記固定磁化の向きと略平行状態で電気抵抗が低く、前記第1強磁性膜の磁化の向きが前記固定磁化の向きと略反平行状態で電気抵抗が高い第1トンネル接合部と、

磁化方向が固定された第2強磁性磁化固着膜、前記第2強磁性磁化固着膜と近接配置された第2トンネル絶縁膜、及び前記第2トンネル絶縁膜を介して前記第2強磁性磁化固着膜と対向配置され、外部磁界によって磁化の向きが変わる第2磁性膜を備え、前記第2磁性膜の磁化の向きが前記固定磁化の向きと略平行状態で電気抵抗が低く、前記第2磁性膜の磁化の向きが前記固定磁化の向きと略反平行状態で電気抵抗が高い第2トンネル接合部と、

前記第1及び前記第2磁性膜を電気的に接続する非磁性導電膜と、

前記非磁性導電膜に電気接続するセルスイッチと、

前記第1強磁性磁化固着膜に電気接続する第2配線と、前記第2強磁性磁化固着膜に電気接続する第3配線とを備えることを特徴とする磁気メモリ装置。

【請求項20】前記第1及び第2トンネル接合部、及び前記セルスイッチから構成されるメモリセルを行方向及び列方向にアレイ状に備えることを特徴とする請求項19記載の磁気メモリ装置。

【請求項21】前記第1トンネル接合部及び前記第2トンネル接合部は、常に一方の抵抗が高抵抗であり他方の抵抗が低抵抗であることを特徴とする請求項19記載の磁気メモリ装置。

【請求項22】前記第1トンネル接合及び前記第2トンネル接合は、前記第1及び第2磁性膜間に前記非磁性導電膜が配置されるように積層形成され、前記非磁性導電膜は前記第1及び第2磁性膜を反強磁性結合させることを特徴とする請求項19記載の磁気メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁性膜を用いた情報記憶装置に関わり、特に強磁性トンネル接合を利用し

た磁気メモリ装置に関する。

【0002】

【従来の技術】一方、近年、非磁性層を挟んで積層配置された2つの磁性層を持つ積層膜において、磁気抵抗効果(Magnetoresistance)の一種、いわゆる巨大磁気抵抗(GiantMR)効果が得られることが発見された。これは、磁性層と非磁性層とを数nmの周期で交互に積層し、非磁性層を介して相対する磁性層の磁気モーメントを反平行状態で磁氣的に結合させた積層膜、いわゆる人工格子膜によって実現できることが報告されている。例えば、Fe/Crの人工格子膜(Phys. Rev. Lett. 61, 2472 (1988) 参照)や、Co/Cuの人工格子膜(J. Magn. Magn. Mater., 94, L1 (1991), Phys. Rev. Lett. 66, 2152 (1991) 参照)等である。

【0003】また、非磁性金属層を介して強磁性層を積層した強磁性層/非磁性層/強磁性層からなる金属サンドイッチ膜において、強磁性層間の交換結合がなくなる程度に非磁性金属層の膜厚を厚くし、かつ、一方の強磁性層に接してFeMnなどの反強磁性膜を配置して交換結合させることにより、その強磁性層の磁気モーメントを固定し、他方の強磁性層の磁化(スピン)のみを外部磁場で容易にスイッチできるようにした、いわゆるスピバルブ膜が知られている(米国特許第5,206,590参照)。この場合、2つの強磁性層間の交換結合が弱いと小さな磁場でスピンを反転できるので人工格子膜に比べて感度の高い磁気抵抗効果素子を提供でき、高密度磁気記録用再生ヘッドとして、現在実用化されている。

【0004】以上は積層膜の膜面に平行に、面内電流を流した場合の磁気抵抗効果であるが、膜面に垂直方向に電流を流す、いわゆる垂直磁気抵抗効果を利用すると、さらに大きな磁気抵抗効果が得られることが知られている(Phys. Rev. Lett. 66, 3060 (1991) 参照)。

【0005】さらに、磁性層/絶縁層/磁性層からなる3層膜において、外部磁場によって2つの強磁性層のスピンを互いに平行あるいは反平行にすることにより膜面垂直方向のトンネル電流の大きさが互いに違うことを利用した強磁性トンネル接合による巨大磁気抵抗(TMR)効果も知られている(J. Magn. Magn. Mater. 139, L231 (1995))。

【0006】また、絶縁層を二つ備えた磁性層/絶縁層/磁性層/絶縁層/磁性層の三つの磁性層と二つの絶縁層からなる強磁性2重トンネル接合素子も公開されている(特開平8-69581号)。さらに、特開平10-308313号には、両側の絶縁層によって挟まれた中央の強磁性体を微粒子状にした強磁性2重トンネル接合素子が開示されている。これらの強磁性2重トンネル接合素子は、バイアス電圧によるTMR効果の低下が小さいという特長がある。

【0007】一方、巨大磁気抵抗効果素子を磁気ヘッド等の磁界センサに使用する代わりに、不揮発性磁気メモ

リ装置(MRAM: Magnetoresistive random access memory)に利用することも最近研究されている(J. Appl. Phys. 85, 5822 (1999), J. Appl. Phys. 85, 5828 (1999).)。この場合、保磁力の異なる二つの強磁性層で非磁性金属層を挟んだ擬スピンバルブ素子や強磁性トンネル効果素子が検討されている。MRAMへ利用する場合にはこれらの素子を行方向及び列方向に広がるようにマトリックス状に配置し、別に設けた配線に電流を流して磁界を印加して各素子を構成する二つの磁性層の磁化を互いに平行、反平行に制御することにより“1”、“0”を記憶させる。読み出しはGMRやTMR効果を利用して行う。

【0008】GMR効果を利用した擬スピンバルブ素子は素子に電流を流すことができるため、複数の素子をシリーズにつないで大容量化し易いことから、MRAMに適している。しかし、記録する際に、保磁力の大きい磁性層のスピンを反転する必要があること、また読み出す際にも保磁力の小さい磁性層のスピンを反転する必要があることなどから、情報の書き込み・読み出しのいずれにおいても比較的大きな電流を流す必要があり、低消費電力型ではない。また、抵抗が小さいため出力電圧が小さく、そのため高速で読み出すことが困難である。

【0009】一方、TMR効果素子を利用したMRAMは、室温でのMR変化率が20%以上と大きく、かつ抵抗が大きいのでより大きな出力電圧が得られること、また、読み出し時にスピン反転をする必要が無く、それだけ読み出し電流が小さくて済むことなどの特長があり、高速書き込み・読み出しの可能な低消費電力型の不揮発メモリとして期待されている。しかし、TMR素子はバイアス電圧とともにTMRが大きく低下し、通常300~400 mV程度のバイアス電圧が印加されるとTMR効果は半減する。MRAMは電流駆動型であるので、一定の読\*

$$V_s = \text{TMR} \times R_x I_s / 2 - \beta r I_s$$

となる。

【0012】すなわち、信号電圧はTMR効果に伴う抵抗変化の半分しか利用できず、しかもトランジスタ特性のバラツキがノイズとなって信号電圧を低下させてしまう。このため、このようなMRAMの信号対雑音比S/N比は30dB程度と小さい。これは参照セルを用いるアーキテクチャがもたらす結果である。例えば、トランジスタ1a、1bに対する通常の値 $\beta = 0.2$ を用い、 $r = 1k\Omega$ 、 $I_s = 10\mu A$ 、 $R = 40k\Omega$ 、 $\text{TMR} = 25\%$ とすると $V_s = 48mV$ 、 $\beta r I_s = 2mV$ である。従って、S/N比は $20\log(48/2) = 27.6dB$ となる。

【0013】このようなS/N比の改善を図るために、二つのトランジスタと二つのMTJ素子を1ビットとして用い、二つのMTJ素子には常に磁化が互いに反平行になるように書き込み、差動検出法で読み出すというアーキテクチャが提案されている(ISSCC国際会議発表、2000年2月)。

【0014】一方、素子選択用にトランジスタを用いる

\*み出し電流を流して信号電圧を得る方式が取られるが、高速読み出しのためにはセンス電流は少なくとも $10\mu A$ 程度必要なため、トンネル磁気抵抗効果素子の接合抵抗の大きさを考えると、300~400 mV程度のバイアスが印加されるのは避けられず、TMR効果のバイアス電圧による低下は大きな問題であった。本発明者らはこの問題に対しては既に述べたような2重以上の多重トンネル接合を用いることの有効性を見出し特許出願している。しかし、多重トンネル接合を用いても従来のMRAMアーキテクチャでは出力電圧はまだ十分とは言えない。

【0010】従来のMRAMアーキテクチャは図8の回路図に示すように、強磁性トンネル接合(以下、MTJとする)素子1a、1bとビット線2を、ワード線3a、3bによってON/OFF制御される素子選択用トランジスタ4a、4bを介して並列接続する。個々のMTJ素子1a、1bと素子選択用トランジスタ4a、4bは直列接続する。図8中の5はビット線2の選択用トランジスタ、6はセンスアンプ、7は参照セルに接続されるビット線、8はTMR素子1a、1bのトランジスタ4a、4bと接続される端の他端に接続されるプレート線である。

【0011】この回路では、読み出し時にMTJ素子1a、1bに接続したトランジスタ4a、4bに電流を流す必要があるため、トランジスタ特性にバラツキがあるとそれに起因するノイズが無視できない。例えば、図8において読み出しは通常、ビット線7に接続される参照セルの電圧と比較して“1”、“0”を判定して行うが、読み出し信号電圧を $V_s$ 、読み出し電流を $I_s$ 、MTJ素子1a、1bの抵抗を $R$ 、そのTMRの抵抗変化率を $\text{MR}$ 、トランジスタの抵抗を $r$ 、そのバラツキを $\beta$ と書くと、

$$(1)$$

とトランジスタのサイズがMTJ素子よりも大きいためビットサイズが大きくなり、MRAMの大容量化はトランジスタで規定されてしまうという欠点がある。これを解消するためにトランジスタの代わりにダイオードを用い、これとMTJ素子を直列接続した構造が提案されている。(Proc. of Int'l. Non. Volatile Memory Technology Conf. P47 (1998), IEEE Trans. Mag. 35, 2832 (1999))。

【0015】

【発明が解決しようとする課題】上述の、2つのトランジスタと2つのMTJ素子を1ビットとして用い、二つのMTJ素子には常に磁化が互いに反平行になるように書き込み、差動検出法で読み出す方式では差動検出するための参照セルが不要となり、信号電圧は $V_s = \text{TMR} \times R_x I_s$ となり、(1)式の2倍以上と大きくなる。しかし、2素子で1ビットを構成するため1ビットのセルサイズが大きくなり、大容量MRAMを実現することは困難と考えられる。

【0016】また、トランジスタの代わりにダイオードを用い、これとMTJ素子を直列接続した構造では、情報の読み出しは上述と同じように参照セルが必要になり、S/N比が悪いと言う問題を抱えている。

【0017】本発明の課題はこのような状況に鑑み、大きな信号電圧と大きなS/Nをもち、大容量化に寄与する新しい磁気メモリ装置の提供にある。

【0018】

【問題を解決するための手段】上記課題に鑑み、第一発明は、磁化方向が固定された第1強磁性磁化固着膜と、第1強磁性磁化固着膜と近接配置された第1トンネル絶縁膜と、第1トンネル絶縁膜を介して第1強磁性磁化固着膜と対向配置され外部磁界により磁化の向きが変わる第1磁性層、第1強磁性層と反強磁性結合して外部磁界によって磁化の向きが変わる第2磁性層、及び第1及び第2強磁性層間に配置され第1及び第2磁性層を反強磁性磁気結合させる非磁性導電層を備えた磁気記憶膜と、磁気記憶膜に近接配置された第2トンネル絶縁膜と、第2トンネル絶縁膜を介して第2磁性層に対向配置された第2強磁性磁化固着膜とを備えるトンネル接合素子、磁気記憶膜に電気接続する第1配線、第1強磁性磁化固着膜に電気接続する第2配線、及び第2強磁性磁化固着膜に電気接続する第3配線を備えることを特徴とする磁気メモリ装置を提供する。

【0019】上記課題に鑑み、第二発明は、磁化方向が固定された第1強磁性磁化固着膜と、第1磁性膜と近接配置された第1トンネル絶縁膜と、第1トンネル絶縁膜を介して第1強磁性磁化固着膜と対向配置され、外部磁界により磁化の向きが変わる第1磁性層、第1磁性層と反強磁性結合して前記外部磁界によって磁化の向きが変わる第2磁性層、及び第1及び第2磁性層間に配置され第1及び第2磁性層を反強磁性結合させる非磁性導電層を備える磁気記憶膜と、磁気記憶膜に近接配置された第2トンネル絶縁膜と、第2トンネル絶縁膜を介して第2磁性層に対向配置された第2強磁性磁化固着膜と、磁気記憶膜から第1強磁性磁化固着膜へ流れる第1トンネル電流と、磁気記憶膜から第2強磁性磁化固着膜へ流れる第2トンネル電流の電流値、あるいは負荷電圧を差動方式で検出することを特徴とする磁気メモリ装置を提供する。

【0020】また、上記課題に鑑み、第三発明は、磁化方向が固定された第1強磁性磁化固着膜、第1強磁性磁化固着膜と近接配置された第1トンネル絶縁膜、及び第1トンネル絶縁膜を介して第1強磁性磁化固着膜に対向配置され外部磁界によって磁化の向きが変わる第1磁性膜を備え、第1磁性膜の磁化の向きが固定磁化の向きと略平行状態で電気抵抗が低く、第1磁性膜の磁化の向きが固定磁化の向きと略反平行状態で電気抵抗が高い第1トンネル接合部と、磁化方向が固定された第2強磁性磁化固着膜、第2強磁性磁化固着膜と近接配置された第2トン

ネル絶縁膜、及び前記第2トンネル絶縁膜を介して第2強磁性磁化固着膜と対向配置され、外部磁界によって磁化の向きが変わる第2磁性膜を備え、第2磁性膜の磁化の向きが固定磁化の向きと略平行状態で電気抵抗が低く、第2磁性膜の磁化の向きが固定磁化の向きと略反平行状態で電気抵抗が高い第2トンネル接合部と、第1及び前記第2磁性膜を電氣的に接続する非磁性導電膜と、非磁性導電膜に電気接続するセルスイッチと、第1強磁性磁化固着膜に電気接続する第2配線、及び第2強磁性磁化固着膜に電気接続する第3配線を備えることを特徴とする磁気メモリ装置を提供する。

【0021】第一発明の磁気メモリ装置において、磁気記憶膜から第1強磁性磁化固着膜へ流れる第1トンネル電流と、磁気記憶膜から第2強磁性磁化固着膜へ流れる第2トンネル電流との電流差、あるいは負荷電圧差を差動方式で検出する手段を備えることが好ましい。

【0022】第二発明の磁気メモリ装置において、磁気記憶膜に電気接続する第1配線、第1強磁性磁化固着膜に電気接続する第2配線、及び第2強磁性磁化固着膜に電気接続する第3配線を備えることが好ましい。

【0023】第一及び第二発明の磁気メモリ装置は次の形態を備えることが好ましい。

- 1) 第1強磁性磁化固着膜、第1トンネル接合膜、第1磁性層、非磁性導電層、第2磁性層、第2トンネル接合膜、及び第2強磁性磁化固着膜は積層形成されている。
- 2) 磁気記憶膜は第1配線を介してセルトランジスタのソース・ドレイン電極の一方に接続されている。
- 3) 第2及び第3配線は夫々の一端で同一のセンスアンプに接続されている。
- 4) トンネル接合素子及びセルトランジスタからなるメモリセルを行方向及び列方向にアレイ状に備える。
- 5) 列方向に伸びる第1配線及び行方向に伸びる第2及び第3配線を複数本備える。
- 6) 列方向にアレイ状に並ぶ複数のセルトランジスタのゲート電極は一本の配線に共通接続されている。
- 7) 行方向にアレイ状に並ぶ複数のトンネル接合素子は、第2及び第3配線に共通接続されている。
- 8) 第2及び第3配線はトンネル接合素子を上下から挟み、第2及び第3の配線と交差する磁気書き込み用配線を2本備える。
- 9) 第2及び第3配線のいずれかとセンスアンプとの間にスイッチを備え、第2及び第3の配線と交差する磁気書き込み用配線を1本備える。
- 10) 第1強磁性磁化固着膜及び第2強磁性磁化固着膜のうち、基板主面より最も離れて形成された強磁性磁化固着膜と同一層上に形成され、第1配線と磁気記憶膜を電氣的に接続する電極膜を備える。
- 11) 磁気記憶膜は第1配線を介してダイオードに接続されている。

1 2) 非磁性導電層は、Cu、Ru、Cr、Re、Ir から選ばれる金属、あるいはCu、Ru、Cr、Re、Ir を50 atom%以上含む合金からなる。

1 3) 第1及び第2の磁性層の厚さが互いに異なる。

1 4) 第1及び第2の磁性層は、互いに磁気モーメントの異なる磁性材料からなる。

【0024】第三発明の磁気メモリ装置において、第1及び第2トンネル接合部、及びセルスイッチから構成されるメモリセルをアレイ状に備える。また、第1及び第2トンネル接合部は常に互いの磁化が反平行と平行である（常に互いの抵抗は高抵抗と低抵抗の組み合わせになる）。また、第1トンネル接合及び第2トンネル接合は、第1及び第2磁性膜間に非磁性導電膜が配置されるように積層形成される。また、セルスイッチはトランジスタまたはダイオードで構成することができる。また、1 5) 第1強磁性磁化固着膜、第1トンネル接合膜、第1磁性層、非磁性導電層、第2磁性層、第2トンネル接合膜、及び第2強磁性磁化固着膜は積層形成されている。

1 6) 第2及び第3配線は夫々の一端で同一のセンスアンプに接続されている。

1 7) トンネル接合素子及びセルスイッチからなるメモリセルを行方向及び列方向にアレイ状に備える。

1 8) 列方向に伸びる第1配線及び行方向に伸びる第2及び第3配線を複数本備える。

1 9) 列方向にアレイ状に並ぶ複数のセルトランジスタのゲート電極は一本の配線に共通接続されている。

2 0) 行方向にアレイ状に並ぶ複数のトンネル接合素子は、第2及び第3配線に共通接続されている。

2 1) 第2及び第3配線はトンネル接合素子を上下から挟み、第2及び第3の配線と交差する磁気書き込み用配線を2本備える。

2 2) 第2及び第3配線のいずれかとセンスアンプとの間にスイッチを備え、第2及び第3の配線と交差する磁気書き込み用配線を1本備える。

2 3) 第1強磁性磁化固着膜及び第2強磁性磁化固着膜のうち、基板主面より最も離れて形成された強磁性磁化固着膜と同一層上に形成され、第1配線と磁気記憶膜を電氣的に接続する電極膜を備える。

2 4) 非磁性導電層は、Cu、Ru、Cr、Re、Ir から選ばれる金属、あるいはCu、Ru、Cr、Re、Ir を50 atom%以上含む合金からなる。

【0025】

【発明の実施の形態】（第1の実施の形態）以下、本発明の磁気メモリ装置の回路構成に関する第1の実施形態を、図1の回路図を用いて説明する。

【0026】本発明の磁気メモリ装置は、構成する複数のメモリセルの夫々に2つ以上のトンネル接合を備える。第1の実施形態ではトンネル接合を2つ備える2重

トンネル接合素子11を用いて説明するが、これを多重トンネル接合に拡張した形態も本発明に含まれる。

【0027】図1に示す2重トンネル接合素子11a、11bの構成を11aの素子を用いて説明する。素子11aは、第1の強磁性磁化固着膜／第1のトンネル絶縁膜／第1磁性層からなるトンネル接合11a-1と、第2の強磁性層／第2のトンネル絶縁膜／第2の強磁性磁化固着膜からなるトンネル接合11a-2を備える。これらが順次積層されると、第1の強磁性磁化固着膜／第1トンネル絶縁膜／第1磁性層／非磁性導電層／第2磁性層／第2トンネル絶縁膜／第2の強磁性磁化固着膜のような積層順となる。

【0028】第1及び第2強磁性磁化固着膜は、磁化が固定された強磁性膜であり、信号磁界の中でもその磁化は変化しない。第1及び第2磁性層は、間に挿入される非磁性導電層が第1及び第2磁性層の互いの磁化を常に反強磁性結合させる。第1及び第2磁性層、及び非磁性導電層をまとめて磁化記憶膜とするが、信号磁界の印加によって磁化の向きが変わるのは第1及び第2磁性層である。

【0029】このトンネル接合素子11a、11bの記憶情報の差動検出について、図1のトンネル接合素子11aを用いて説明する。情報の記憶は、常に各トンネル接合11a-1、11a-2の一方が低抵抗 $R_P$ 、他方が高抵抗 $R_{AP}$ となるように行う。ここで、低抵抗 $R_P$ は、同じトンネル接合を構成する磁性層と強磁性磁化固着膜の磁化が互いに平行の状態での抵抗であり、高抵抗 $R_{AP}$ は強磁性層と強磁性固着膜の磁化が互いに反平行の状態での抵抗である。

【0030】このトンネル接合11a-1、11a-2に互いに逆方向のトンネル電流を流すと、各接合を流れるトンネル電流値あるいは負荷電圧の差は和として差動検出できる。互いに逆方向のトンネル電流とは、トンネル接合11a-1では、第1の磁性層から第1のトンネル絶縁膜を介して第1の磁性磁化固着膜へ流れ、トンネル接合11a-2では、第2磁性層から第2のトンネル絶縁膜を介して第2の磁性磁化固着膜へ流れる電流である。あるいは、第1の磁性磁化固着膜から第1のトンネル絶縁膜を介して第1磁性層へ、また、第2の磁性磁化固着膜から第2のトンネル絶縁膜を介して第2磁性層へ流れる電流でもよい。

【0031】この2重トンネル接合素子11aは、第1の強磁性磁化固着膜がビット線13へ、第2の強磁性磁化固着膜がビット線12へ接続されて共通のセンスアンプ17に接続されるので、互いに逆方向の電流を流すことにより電流差あるいは負荷電圧差の差動検出が可能になる。

【0032】記憶膜は図1のトランジスタ14aのソース・ドレインに電気接続される。これは、記憶膜を構成する第1磁性層、非磁性導電層、第2磁性層の全て、あ

るはいずれかが導電層を介してソース・ドレインに電気接続される構成とできる。

【0033】ビット線12、13には2重トンネル接合素子11aと同じ構成を持つ他の2重トンネル接合素子、例えば、図1の2重トンネル接合素子11bが素子11aと同じ形式で並列接続される。また、その2重トンネル接合素子11bの記憶膜とセルトランジスタ14bとの接続も2重トンネル接合素子11aのそれと同様に行う。

【0034】同じビット線12、13に接続されるトンネル接合素子は2個以上複数設けることが可能であり、図1のビット線12、13の伸びる方向にアレイ状に配置される。また、図1の同じビット線に接続されるメモリセルのセルトランジスタ14a、14bは、ソース・ドレインの多端がパストランジスタ15のソース・ドレインに共通接続される。各セルトランジスタのゲートは対応するワード線16a、16bに接続される。この際、図示しないが、ワード線の長さ方向にアレイ状に配置されたメモリセルのセルトランジスタのゲート電極は同一のワード線に共通接続することができる。

【0035】第1の実施形態では、1トランジスタと2重トンネル接合素子によって1メモリセルを構成して差動方式を実現することができ、参照セルを用いる必要がなくなるとともに、ビットサイズの縮小に大きく寄与でき、メモリ装置の大容量化が可能である。また、セルトランジスタのパラツキの問題を低減できるためノイズを大幅に低減でき、その結果従来のMRAMに比べ10倍以上大きなS/N比が得られる。また、2重以上の多重トンネル接合を用いるためTMRのバイアス依存性も小さい。また、記憶膜が反強磁性的に結合した第1及び第2の強磁性層を備えているため反磁界が小さく、メモリセルが小さくなくても小電流で効率的な書き込みが可能であるため消費電力の小さい大容量不揮発メモリを提供できる。

(第2の実施の形態) 第2の実施形態では、第1の実施形態において説明した回路を構成するメモリ装置の構造と、磁気情報の書き込み/読み出しについて図2の断面図を用いて説明する。尚、図2のうち、図1と同一の構成には同一の符号を付し、その詳細な説明は省略する。

【0036】本実施形態の2重トンネル接合素子11は、第1の強磁性磁化固着膜21/第1のトンネル絶縁膜22/第1磁性層23/非磁性導電層24/第2磁性層25/第2のトンネル絶縁膜26/第2の強磁性磁化固着膜27が順次積層形成され、第1磁性層23/非磁性導電層24/第2磁性層は記憶膜28を構成する。この素子11は、第1の強磁性磁化固着膜21/第1のトンネル絶縁膜22/第1磁性層23によって第1のトンネル接合が、第2磁性層25/第2のトンネル絶縁膜26/第2の強磁性磁化固着膜27によって第2のトンネル接合が構成されている。記憶膜28は3層構造である

が、さらに多層膜とすることも可能である。尚、図2乃至図4、図6及び図7中のハッチング(斜線)を付した箇所は層間絶縁膜である。

【0037】記憶膜28を構成する第1及び第2磁性層23、25は互いに反強磁性的に磁気結合している。つまり、第1及び第2磁性層23、25の磁化は互いに逆向きに保持され、外部磁界によって反転した後も互いの磁化は逆向きに維持される。このような反強磁性的磁気結合は、第1及び第2磁性層23、25間へ薄い非磁性導電層24を挿入することにより実現できる。

【0038】第1及び第2強磁性層に交換結合を促す非磁性導電層24の材料は公知のものから選択可能であるが、Cu、Ru、Cr、Re、Irやこれらの一つを50atom%以上含む合金などを用いることが望ましい。特に、Ru、Re、Irは反強磁性交換結合が強く、しかも薄い膜厚で反強磁性交換結合が得られるので好ましい。

【0039】また、低い電流磁界による磁化反転を促すためには、反強磁性結合した2つの磁性層は互いに磁化の値が異なることが望ましい。そのために、第1及び第2磁性層の膜厚が異なるか、あるいは異なる材料の磁性層を用いることが好ましい。

【0040】第1及び第2の強磁性磁化固着膜21、27の磁化は図2に示すように、互いに同じ方向に固着されるっており、反強磁性結合した第1及び第2磁性層23、25の磁化が図2の“1”の状態から“0”の状態へ反転することで、このメモリセルの記憶情報の変更が行われる。

【0041】図2の“1”の状態は、第1の強磁性磁化固着膜21と第1磁性層23の磁化の向きが互いに反平行であるから第1トンネル接合が高抵抗 $R_{AP}$ 、第2磁性層25と第2強磁性磁化固着膜27の磁化の向きが互いに平行であるから第2のトンネル接合は低抵抗 $R_P$ となる。これに対し、図2の“0”の状態は、第1の強磁性磁化固着膜21と第1磁性層23の磁化の向きが互いに平行であるから第1のトンネル接合は低抵抗 $R_P$ 、第2磁性層25と第2強磁性磁化固着膜27の磁化の向きが互いに反平行であるから第2トンネル接合の抵抗は高抵抗 $R_{AP}$ とできる。

【0042】次に、このような記憶情報の書き込み方法について説明する。情報を記憶させるには、図2のワード線(WL)29、30に信号電流を流すことで行う。WL29は、図2の紙面の左右方向に長く伸び、WL30は紙面の垂直方向に長く伸びている。この両者に信号電流を流すことでその交点での2重トンネル接合素子11のみに情報が記憶される。図2に示すように、記憶膜28はセルトランジスタ14のソース・ドレイン31の一方に導電性材料からなるコンタクト柱(配線)を介して接続され、セルトランジスタ14の他方のソース・ドレイン31は図1のパストランジスタ15に接続さ

れる。記憶動作を行う際にはセルトランジスタのゲート32をオフさせればトンネル接合に電流は流れない。尚、記憶膜28とソース・ドレイン31の一方を接続するコンタクト柱は、図2に点線で示すように、紙面より手前あるいは奥に位置し、ビット線13及びワード線29と層間絶縁膜を介して交差する。

【0043】次に、メモリセルの記憶情報を読み出す手段について説明する。図2に示すセルトランジスタ14のゲート32をオン状態にすることによって、2重トンネル接合に互いに逆方向のトンネル電流を流し、それに伴う電流または電圧降下をビット線(BL)12、13を経由して図1のセルアンプ14において差動検出する。信号電圧は上述の“1”、“0”に対応して $\Delta V$  ( $= (R_{AP} - R_P) I_d$ ) または $-\Delta V$ となり、TMRの大きさそのものを信号として利用できるようになる。このため非常に大きなS/N比が得られる。尚、図2の10はシリコン等の半導体基板を示し、31はソース・ドレイン電極を示す。

【0044】また、図1に示す縦に積層した2重トンネル接合はビットサイズの縮小に大きく寄与できる。また、反強磁性結合した2つの磁性層23、25に軟磁性層を用いると、保磁力が小さくなるため、磁気情報を書き込むのに必要な磁界が小さく、素子サイズが小さくなくても記憶電流は大きくならず低消費電力型である。

【0045】さらにまた、第1の実施形態と同様に、参照セルを使用せず、またトランジスタやトンネル接合素子のバラツキを考慮する必要がないのでコストを著しく低減できる。

【0046】読み出し感度を大きくするためには第1及び第2強磁性磁化固着膜や第1及び第2磁性層の磁性材料に磁気抵抗効果の大きい材料を用いることが望ましい。従って、磁性層23、25、強磁性磁化固着膜21、27はCo、Fe、CoFe、CoNi、CoFeNi、FeNi合金などの磁性体、およびNiMnSb、Co<sub>2</sub>MnGeなどのハーフメタルなどを用いることができる。ハーフメタルは一方のスピンバンドにエネルギーギャップが存在するのでスピン分極率が大きく、これを用いるとより大きな磁気抵抗効果を得ることができ、結果としてより大きな信号出力が得られる。

【0047】また、強磁性磁化固着膜21、27の磁化を固着する手段には公知の様々な手段を用いることが可能である。例えば、記憶膜28の磁性層23、25の磁化反転に必要な合成磁界よりも抗磁界の高い強磁性材料を強磁性磁化固着膜21、27に用いる手段、また、反強磁性膜を強磁性磁化固着膜21、27に接触配置させて反強磁性膜と強磁性磁化固着膜との交換結合を利用して強磁性磁化固着膜の磁化を固着する手段、反強磁性膜に替えて硬質磁性膜を接触配置させてその漏洩磁界によって強磁性磁化固着膜21、27の磁化を固定する手段等がある。交換結合に用いる反強磁性膜材料としてはF

eMn、IrMn、PtMnなど、通常のスピンバルブGMRで用いられているものを使用することができる。

【0048】また、トンネル絶縁膜22、26としてはAl<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、酸化シリコン、MgOなど種々の絶縁性非磁性材料を用いることができる。これらの膜厚の好ましい範囲は5オングストロームから30オングストロームである。

【0049】さらに、以上説明したような磁気素子用薄膜は分子線エピタキシー(MBE)法、各種スパッタ法、蒸着法など通常の薄膜形成装置を用いて作製することができる。また、実施形態に示すような構造は微細加工技術と多層配線技術を用いて作製することができる。

【0050】(第3の実施の形態) 第3の実施形態では、第1及び第2の実施形態において説明した回路を構成するメモリ装置の他の構造と、その磁気情報の書き込み/読み出しについて図3の断面構造と回路の略式図を用いて説明する。図3のうち、図1及び図2と同一の構成については同一の符号を付し、その詳細な説明は省略する。

【0051】この実施形態では、ビット線12、13の一方、図3ではビット線13とセンスアンプ17を、トランジスタ33を介して接続した回路である。これによって図2では2本あったワード線29、30の一本を省略できる。すなわち、情報書き込み時にはビット線12とワード線34に電流を流し、同時にトランジスタ33をオフ状態にしておく。これによってビット線12に流した電流はトンネル接合を流れず書き込み用磁界発生のみ役割を果たす。

【0052】尚、読み出し時にはトランジスタ33をオン状態にすることで、2重トンネル接合素子11の2つのトンネル接合には互いに逆方向のトンネル電流を流すことができ上述の差動検出が可能である。

【0053】このように、トランジスタ33の挿入によりワード線を1本省略することができ、配線層の数を減らすことができる。

【0054】(第4の実施の形態) 第4の実施形態では、第1の実施形態において説明した回路を構成するメモリ装置の他の構造と、その磁気情報の書き込み/読み出しについて図4の断面構造と回路の略式図を用いて説明する。尚、図4の中の図1乃至図3と同一の構成については同一の符号を付し、その詳細な説明は省略する。

【0055】第4の実施形態では、図4に示すように、トランジスタ14のソース・ドレイン31の一方と記憶膜28との接続をビット線12と磁性電極35とを介して行う。これは、図2に示す第2のトンネル絶縁膜26及び第2の強磁性磁化固着膜27に穴を設け、その穴に絶縁物を埋め込むことにより作成する。また、強磁性電極35に替えて非磁性導電膜を用いてもよく、この場合には、強磁性磁化固着膜27の成膜とは別に非磁性導電膜の堆積と加工が必要になる。



【0056】図4に示すような構成により、磁気情報の書き込み時にはビット線12とワード線34に電流を流し、ビット線13に接続されたスイッチをオフ状態にしておけば2重トンネル接合11にトンネル電流は流れず、ビット線12とワード線34を流れる2つの電流の合成磁界により記憶膜28への磁気情報の書き込みが可能である。

【0057】また、記憶情報の読み出しには、図4のトランジスタ33をオン状態にしてビット線12、13に電流が流れるようにしておき、トランジスタ14をオン状態にすることで、2重トンネル接合11へ通電することができ、第1の実施形態で説明した各接合へ逆方向電流を流すことが可能になる。

(第5の実施形態) 第1乃至第4の実施形態では、メモリセルにトランジスタとトンネル接合素子を用いた場合の構造・回路構成について説明したが、第5の実施形態では、セルトランジスタの代わりにセルダイオードを用いた回路構成について図5の回路図を用いて説明する。尚、図5のうち、図1乃至図4と同一の構成には同一の符号を付し、その詳細な説明は省略する。

【0058】図5は図1におけるセルトランジスタ14a、14bをダイオード51a、51bで置き換えた場合の電気回路である。但し、ダイオードはセル選択機能がないのでそれを可能にするように図5ではビット線(BL)12、13の一端に選択トランジスタ55、56を設けている。この選択トランジスタ55、56は各ビット線に一個設ければ良く、各メモリセルにセルトランジスタを設けるのに比べてメモリ装置の大容量化への悪影響は少ない。

【0059】この回路における読み出し動作は、セルトランジスタ14がダイオード51に代わる以外は図1において説明したものと同様であり、詳細な説明は省略する。

【0060】また、書き込み動作は、図5に示していない磁気情報書き込み用ワード線とBL12、13のいずれかに電流を流して行うことができる。BL12、13に流した電流はダイオード51を用いることでトンネル接合素子11に流れることなく磁界発生にのみ寄与する。勿論、互いに直交する磁気情報書き込み用ワード線を2本用いてもよい。

(第6の実施形態) 第6の実施形態では、第5の実施形態において説明した回路を構成するメモリセルの構造と、その磁気情報の書き込み・読み出しについて図6の断面構造と回路の略式図を用いて説明する。尚、図6のうち図1乃至図5と同一の構成については、同一の符号を付しその詳細な説明は省略する。

【0061】図6の例ではダイオード51は2重トンネル接合素子11の記憶膜28の上部に形成されている。ダイオード51はpn接合ダイオード、金属と半導体との接触を利用するショットキーダイオード、その他の周

知のダイオード等を用いることができ、基本的に2つの層の接合において順方向電圧の印加により電流が流れ、逆方向電圧の印加によって電流が流れない特性をもつ。図6では記憶用WL34と上部BL12に電流を流してその合成磁界を用いて記憶情報の書き込みを行う。このときダイオード51が存在するために2重トンネル接合素子には電流は流れない。

【0062】記憶情報の読み出しは図6のダイオード51と2つのBL12、13を選択することで差動検出することが可能である。

(第7の実施形態) 第7の実施形態では、第5の実施形態において説明した回路を構成するメモリ装置の他の構造と、その磁気情報の書き込み・読み出しについて図7の断面構造と回路の略式図を用いて説明する。尚、図7のうち図1乃至図6と同一の構成については、同一の符号を付しその詳細な説明は省略する。

【0063】図7には2重トンネル接合素子11の下部にダイオード51を形成した断面構造を示す。この構造では、下ビット線13が図7の紙面垂直方向に長く伸び、上下ビット線12、13に電流を流して合成磁界を発生させることで記憶膜28への書き込みを行う。このときやはりダイオード51があるために2重トンネル接合素子11には電流が流れない。読み出しはダイオードに接続する図7で紙面垂直方向に伸びるWL53、またBL12、13を選択することで行うことができる。

【0064】第5乃至第7の実施形態で説明したダイオード51を用いれば、その抵抗を調整することによって読み出し電流を調整できる。例えばダイオードの抵抗を大きくすれば読み出し電流は小さくなり、結果としてバイアス電圧が小さくなりTMR効果の低下を抑制できるという大きな利点をもたらす。尚、このようなバイアス電圧の調整はトランジスタをスイッチ素子として用いた第1乃至第4の実施形態の場合も同様である。

【0065】以上説明した第2乃至第4、第6、第7の実施形態では、メモリセル内のトンネル接合素子に各層が基板面の垂直方向に積層形成された2重トンネル接合素子を用いたが、本発明のトンネル接合素子はこれに限られず、種々変更可能である。つまり、2重以上の多重トンネル素子にも適用可能である。また、必ずしも積層形成される必要はなく、本発明の趣旨を逸脱しない範囲で構造の変更が可能である。

【0066】また、第三の発明において述べたように、2つの1重トンネル接合を用いて、常に一方のトンネル接合が低抵抗 $R_P$ 、他方のトンネル接合が高抵抗 $R_{AP}$ の関係を保つよう構成し、非磁性導電層において分岐する、第1トンネル接合を流れる電流と第2トンネル接合を流れる電流との電流差あるいは負荷電圧差を差動検出する方式の磁気メモリ装置も本発明の範囲内にある。

【0067】第三の発明の磁気メモリ装置では、メモリセルを非磁性導電層と接続する1つのトランジスタと2

つのトンネル接合素子によって構成できるので、トランジスタ数を減らすことができ、スイッチ（トランジスタあるいはダイオード）のばらつきの問題と1セルの面積の縮小を実現可能である。また、S/N比に優れた特性を備えることができる。

【0068】第三の発明の磁気メモリ装置を実現する構造としては、非磁性導電層に接続する第1トンネル接合と第2トンネル接合を磁性層間の反強磁性結合がなくなる程度に離間して形成することができる。機能的には、既に述べた第1乃至第7の実施形態と異なり、非磁性導電膜による第1及び第2磁性層の反強磁性結合を用いず、これらの磁性層の磁化反転を独立に制御して、常に一方のトンネル接合が低抵抗 $R_P$ 、他方のトンネル接合が高抵抗 $R_{AP}$ の関係をもたせることで差動検出を実現する。従って、両強磁性層の磁化反転に必要な書き込み線がトンネル接合毎に必要なになる。

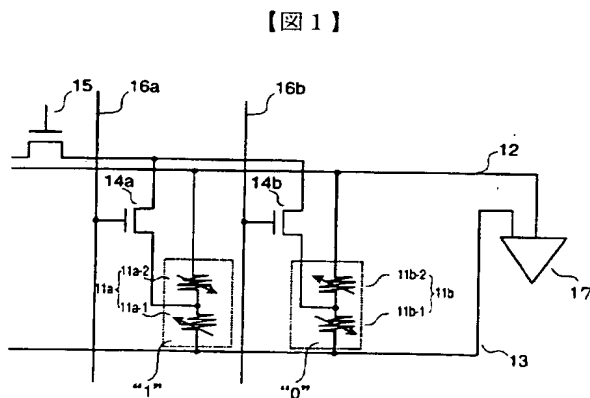
【0069】その他、本発明は以上述べた趣旨を逸脱しない範囲で、第1乃至第7の実施形態をもとに様々に変更、組み合わせ可能である。

【0070】

【発明の効果】本発明の磁気メモリ装置は、1スイッチ（トランジスタやダイオード）と2つのトンネル接合を利用して差動方式を実現することができ、優れたS/N比を実現可能である。また、ビットサイズの縮小に大きく寄与でき、記憶容量の大型化が可能である。また、トランジスタやダイオードのバラツキの問題を低減できるためノイズを大幅に低減できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態を説明するための回路図。



【図1】

【図2】 本発明の第2の実施形態を説明するための断面構造及び一部回路の略式図。

【図3】 本発明の第3の実施形態を説明するための断面構造及び一部回路の略式図。

【図4】 本発明の第4の実施形態を説明するための断面構造及び一部回路の略式図。

【図5】 本発明の第5の実施形態を説明するための回路図。

【図6】 本発明の第6の実施形態を説明するための断面構造及び一部回路の略式図。

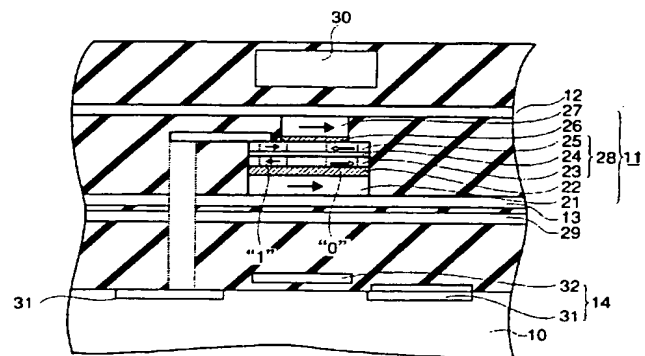
【図7】 本発明の第7の実施形態を説明するための断面構造及び一部回路の略式図。

【図8】 本発明の従来の磁気メモリ装置の回路図。

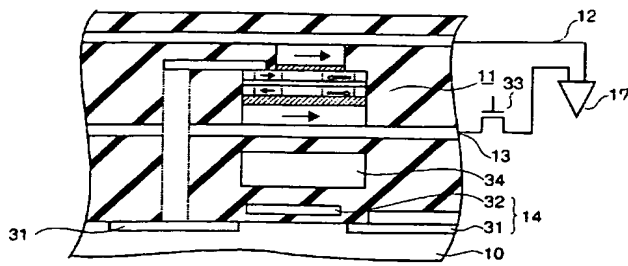
【符号の説明】

- 1a, 1b, 11a-1, 11a-2, 11b-1, 11b-2…トンネル接合素子
- 2, 12, 13…ビット線
- 3, 16a, 16b…セル選択用ワード線
- 4a, 4b, 14a, 14b…セルトランジスタ
- 5, 15…パストランジスタ
- 6, 17…センスアンプ
- 7…参照セル用ビット線
- 8…プレート線
- 10…半導体等の基板
- 29, 30, 34…書き込み用ワード線
- 31…ソース・ドレイン電極
- 32…ゲート電極
- 33, 55, 56…スイッチトランジスタ
- 51, 51a, 51b…ダイオード

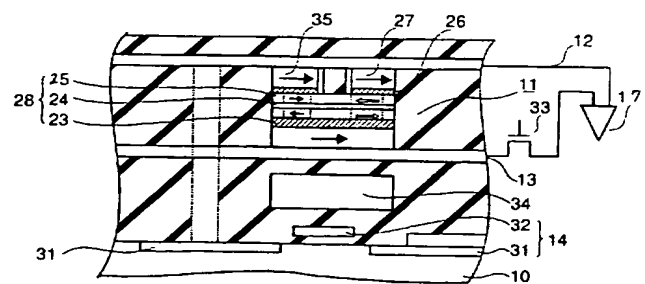
【図2】



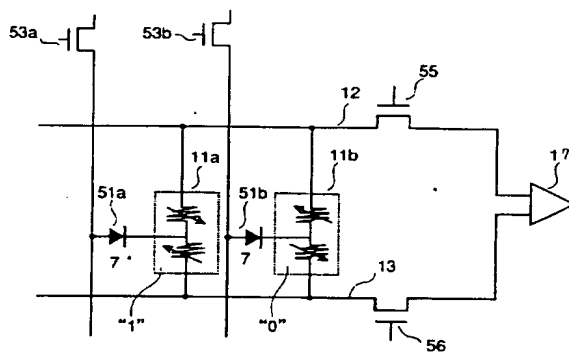
【図3】



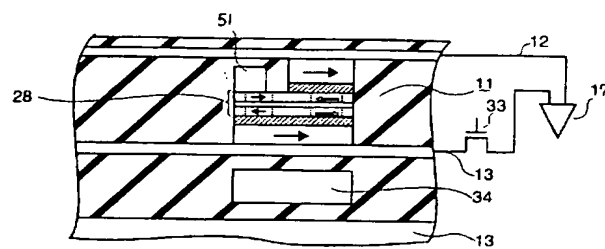
【図4】



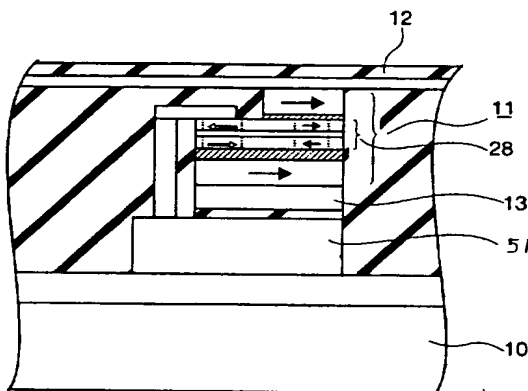
【図5】



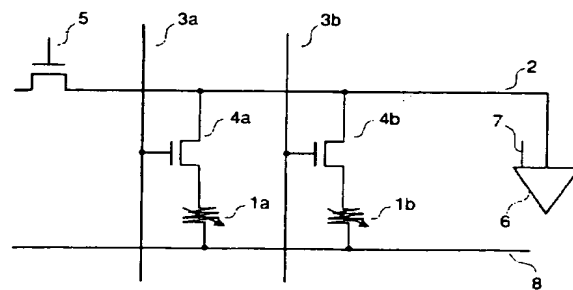
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H01L 43/08

識別記号

FI  
H01L 43/08

テーマコード(参考)

A  
P  
Z

(72) 発明者 齊藤 好昭  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

Fターム(参考) 5E049 AA01 AA04 AA07 AA09 AA10  
AC00 BA06 DB14 DB20  
5F083 FZ10 GA05 GA09 GA12 GA30  
MA06 MA19 PR22